

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-096599

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

G11C 29/00

G11C 11/413

G11C 11/401

(21)Application number : 04-039817

(71)Applicant : NEC CORP

(22)Date of filing : 26.02.1992

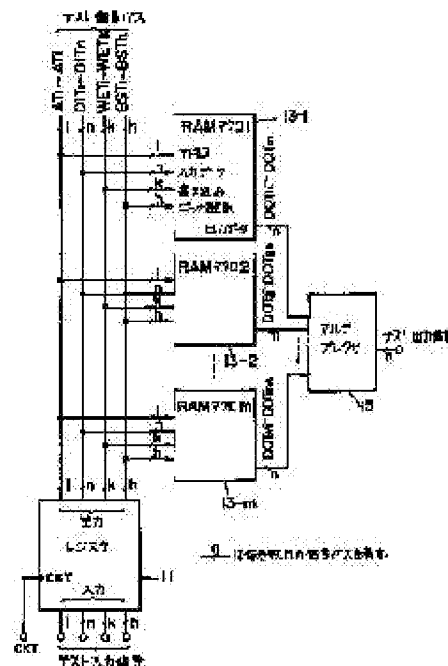
(72)Inventor : OKAWA SHINICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To reduce an area of a chip by suppressing the number of test input registers and the number of test signal lines in a semiconductor device having a plurality of RAM macros.

CONSTITUTION: A test input signal is supplied to a register 11. An output signal of the register 11 is commonly supplied to a plurality of RAM macros 13 through a bus. Output signals of the macros are output through a multiplexer 15. The test input signal is supplied commonly to the plurality of macros 13, which are operated in parallel, and a test output signal is output. The multiplexer 15 selectively outputs the signals of the macros 13 in response to an external signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-96599

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵

G 1 1 C 29/00
11/413
11/401

識別記号

3 0 3 B 6741-5L

6741-5L

6741-5L

F I

G 1 1 C 11/ 34

3 4 1 D

3 7 1 A

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-39817

(22)出願日 平成4年(1992)2月26日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大川 真一

東京都港区芝5丁目7番1号 日本電気株式会社内

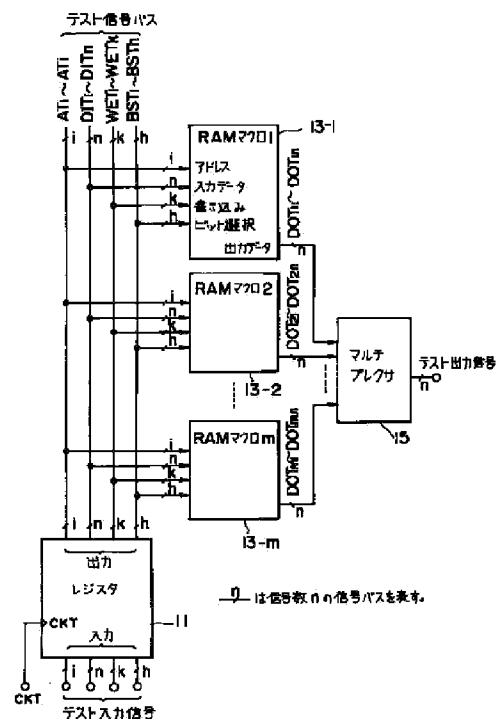
(74)代理人 弁理士 藤巻 正憲

(54)【発明の名称】 半導体集積回路

(57)【要約】 (修正有)

【目的】 複数のRAMマクロを備える半導体装置において、テスト入力用レジスタの数及びテスト用信号線の本数を抑え、チップ面積を低減する。

【構成】 テスト入力信号はレジスタ11に供給される。レジスタ11の出力信号はバスを介して複数のRAMマクロ13に共通に供給される。RAMマクロの出力信号はマルチプレクサ15を介して出力される。テスト入力信号は複数のRAMマクロ13に共通に供給され、複数のRAMマクロ13が並列に動作し、テスト出力信号を出力する。マルチプレクサ15がRAMマクロ13のテスト出力信号を外部信号に応答して選択して出力する。



【特許請求の範囲】

【請求項1】 複数のRAMマクロを有する半導体集積回路において、テスト用入力信号を受けるレジスタと、前記レジスタと前記複数のRAMマクロに接続され、前記レジスタの出力信号を複数のRAMマクロに共通に供給するバスと、前記RAMマクロのテスト出力信号を選択的に出力するマルチプレクサを備え、テスト入力信号を複数のRAMマクロに共通に供給し、RAMマクロのテスト出力信号を選択して出力することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願発明は半導体集積回路に関し、特に、複数のRAMマクロを内蔵する半導体集積回路に関する。

【0002】

【従来の技術】 図5は複数のRAMマクロを内蔵する半導体集積回路のテスト用入出力部の構成を示す。図5に示されるように、従来の半導体集積回路では、RAMマクロ毎にテスト用入力信号を振り分けるためのレジスタまたはラッチが配置されている。外部から供給されるテスト用入力信号（iビットのテスト用アドレス、nビットのテスト用入力データ、kビットのテスト用書き込み信号、hビットのテスト用ビット選択信号）とテストクロック信号が各レジスタに共通に供給される。各レジスタは、クロック信号に応答して、テスト用入力信号を対応するRAMマクロのテスト入力端子に専用線を介して供給する。

【0003】 各RAMマクロのnビットのテスト出力信号はマルチプレクサに供給され、マルチプレクサの出力がテスト出力信号となる。

【0004】 次に、図5に示される半導体集積回路のテスト動作について説明する。

【0005】 例えば、RAMマクロ1をテストする場合、レジスタ1にクロック信号CK1が入力され、テスト用入力信号がレジスタ1を介してRAMマクロ1のテスト入力端子に供給される。RAMマクロ1の出力端子から出力されたテスト出力信号はマルチプレクサにより選択され、外部に出力される。

【0006】

【発明が解決しようとする課題】 図5に示される従来の半導体集積回路では、RAMマクロ毎にレジスタを設け、レジスタからRAMマクロにテスト入力信号を個別に供給している。このため、1チップ内に多数のRAMマクロを持つ場合、レジスタ及びテスト用信号線の本数が多くなり、チップ面積が増大し、ひいては集積度が低下するという欠点があった。

【0007】 本発明はかかる問題点を鑑みてなされたものであって、レジスタの数及びテスト用信号線の本数を抑制し、これにより、チップ面積を低減することを目的とする。

【0008】

【課題を解決するための手段】 本発明に係る半導体集積回路は、複数のRAMマクロを有する半導体集積回路において、テスト用入力信号を受けるレジスタと、前記レジスタと前記複数のRAMマクロに接続され、前記レジスタの出力信号を複数のRAMマクロに共通に供給するバスと、前記RAMマクロのテスト出力信号を選択的に出力するマルチプレクサとを有することを特徴とする。

【0009】

10 【作用】 テスト入力信号（例えば、テスト用アドレス、テスト用入力データ、テスト用書き込み信号、テスト用ビット選択信号を含む）はレジスタとバスを介して複数のRAMマクロに共通に供給される。複数のRAMマクロは並列に動作し、テスト出力を出力する。複数のRAMマクロのテスト出力信号からマルチプレクサにより1つが選択され、出力される。

【0010】 テスト入力信号とマルチプレクサの選択を適当に切り替えることにより複数のRAMマクロを切り替えてテストすることができる。レジスタとバスはRAMマクロの数に関わらず1つでよく、チップ面積を小さく抑えることができる。

【0011】

【実施例】 以下、本願発明の実施例を図面を参照して詳細に説明する。

【0012】 図1は本願発明の第1実施例にかかる半導体集積回路のテスト用入出力部を示す。図1において、外部から供給されるテスト入力信号（iビットのテスト用アドレス、nビットのテスト用入力データ、kビットのテスト用書き込み信号、hビットのテスト用ビット選択信号）はレジスタ11の入力信号端子に供給される。また、クロック信号CKTがレジスタ11のクロック端子に供給される。なお、i、n、k、hは整数である。

【0013】 レジスタ11は、クロック信号CKTに応答してテスト入力信号をラッチし、テスト用アドレスバスAT1-ATi、テスト用入力データバスDIT1-DITn、テスト用書き込み信号バスWET1-WETk、テスト用ビット選択信号バスBST1-BSTn）に出力する。以下、これらのバスを総称してテスト信号バスと呼ぶ。

【0014】 テスト信号バスはチップ内のm（mは2以上の整数）個のRAMマクロ13-1-13-mのテスト入力端子に共通に接続されており、レジスタ11の出力したテスト入力信号はRAMマクロ13-1-13-mに共通に供給される。

【0015】 RAMマクロ13-1-13-mの出力端子はマルチプレクサ15の入力端子に接続されており、マルチプレクサ15は、図示せぬマクロ出力選択信号に応答して、RAMマクロ13-1-13-mの出力から1つを選択して出力する。

【0016】 次に、図1の半導体集積装置の動作を図2のタイミングチャートを参照して説明する。

【0017】 レジスタ11は外部より供給されたテスト入力信号をクロックCKTの立ち上がりに同期してラッチ

し、対応するテスト信号バスに出力する。テスト信号バスに出力されたテスト入力信号はRAMマクロ13-1-13-mに共通に供給される。テスト入力信号に応答してRAMマクロ13-1-13-mは並列に動作し、テスト出力信号DOT11-DOTmn (nは整数)をマルチプレクサ15に供給する。マルチプレクサ15は外部から供給されるマクロ出力選択信号によりRAMマクロ13-1-13-mのテスト出力信号DOT11-DOTmnの1つを選択して出力する。

【0018】本実施例によれば、テスト入力信号とマクロ出力選択信号を適当に切り替えることにより、複数のRAMマクロをチェックすることができる。しかも、RAMマクロの数にかかわらずテスト入力信号保持用のレジスタ及びテスト信号バスが1つですみ、チップ面積を抑えることができる。

【0019】図3はこの発明の第2の実施例にかかる半導体集積回路のRAMマクロとバスの接続部を示す。この実施例では、各RAMマクロはnケのテスト用データ入力端子、kケのテスト用書き込み信号入力端子、hケのテスト用ビット選択信号入力端を有し、複数のRAMマクロのテスト用データ入力端子、テスト用書き込み信号入力端子、テスト用ビット選択信号入力端をそれぞれ1ビットバスで共通に接続している。このため、本実施例では、テスト信号バスDIT、WET、BSTがそれぞれ1本ですむ(テスト用アドレス信号バスはiビット)。このため、テスト用信号バスの占有面積を小さく抑えることができる。なお、iビットのテスト用アドレス信号バスATD1-ATDi、1ビットの各テスト信号バスDIT、WET、BSTは図示せぬレジスタを介してテスト用外部入力端子に接続されている。

【0020】図4はこの発明の第3実施例にかかる半導体集積回路のRAMマクロとバスの接続部を示す。第3実施例では、各RAMマクロのテスト用データ入力端子、テスト用書き込み信号入力端子、テスト用ビット選択信号入力端子を、2ビットバスを用いて、それぞれ1つおきに共通に接続している。このため、本実施例では、図中に波線で示すように、RAMマクロ内での隣接信号線のシ

ョートを検出できる(図3の構成ではこのショートを検出することが困難である)。さらに、テスト信号バスDIT、WET、BSTのバス幅がそれぞれ2ビットですみ、テスト用信号バスの占有面積を比較的小さく抑えることができる。なお、図3の構成と同様に、テスト用アドレス信号バスATD1-ATDi、2ビットの各テスト信号バスDIT、WET、BSTは図示せぬレジスタを介してテスト用外部入力端子に接続されている。

【0021】本願発明は上記実施例に限定されず、種々の変形が可能である。例えば、上記実施例では、複数のRAMマクロを備える半導体集積装置における、テスト用信号の入力部について説明したが、本願発明はこれに限定されず、複数の同一又は類似構成の半導体回路のテスト入力部すべてに応用できるものである。

【0022】

【発明の効果】以上説明したように、本発明は、複数のRAMマクロのテスト用入力端子をテスト信号バスに共通に接続しているため、1チップ内に多数のRAMマクロを有する場合でも、テスト用の信号線によるチップ面積の増大を生じない。

【図面の簡単な説明】

【図1】この発明の第1実施例にかかる半導体集積回路の構成を示す図である。

【図2】図1に示される半導体集積回路の動作を説明するためのタイミングチャートである。

【図3】この発明の第2実施例にかかる半導体集積回路の構成を示す図である。

【図4】この発明の第3実施例にかかる半導体集積回路の構成を示す図である。

【図5】複数のRAMマクロを備える半導体集積回路の従来例を示す図である。

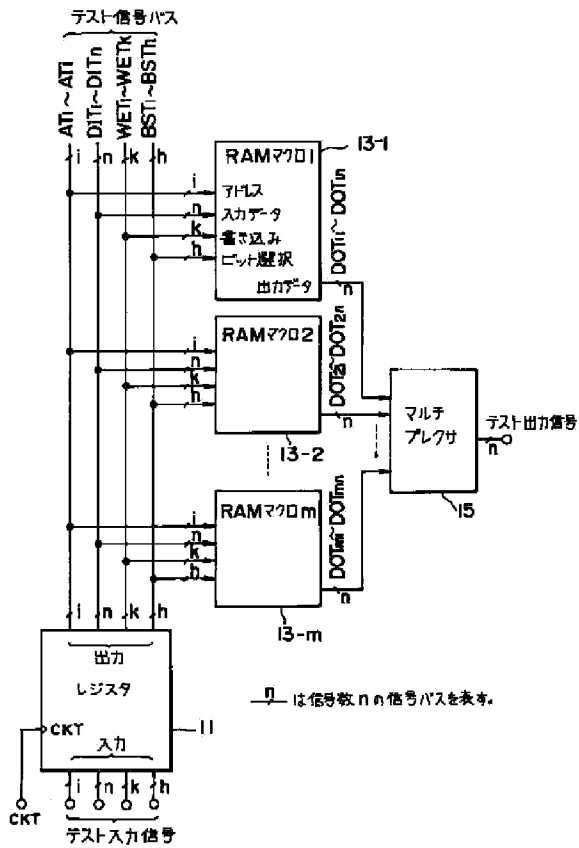
【符号の説明】

11; レジスタ

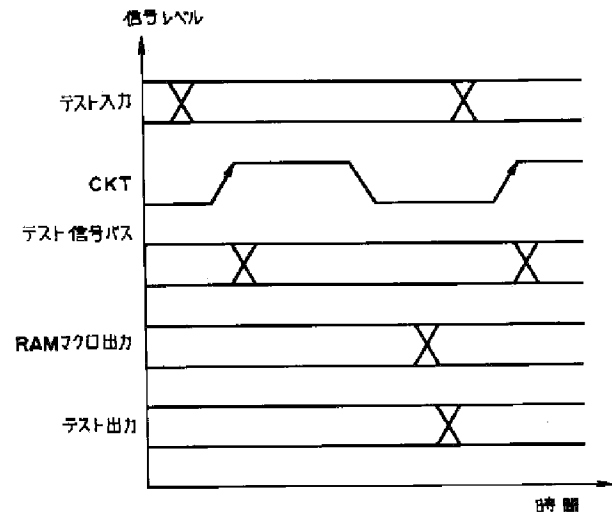
13; RAMマクロ

15; マルチプレクサ

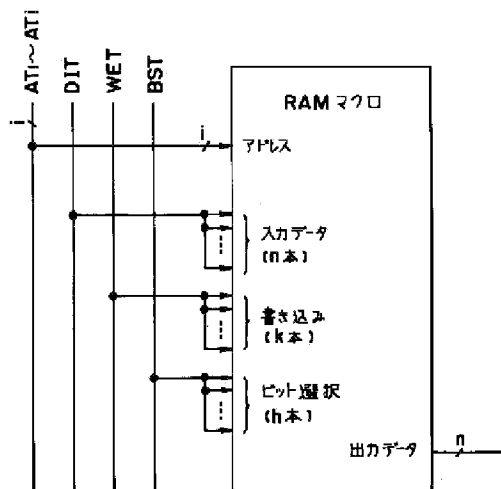
【図1】



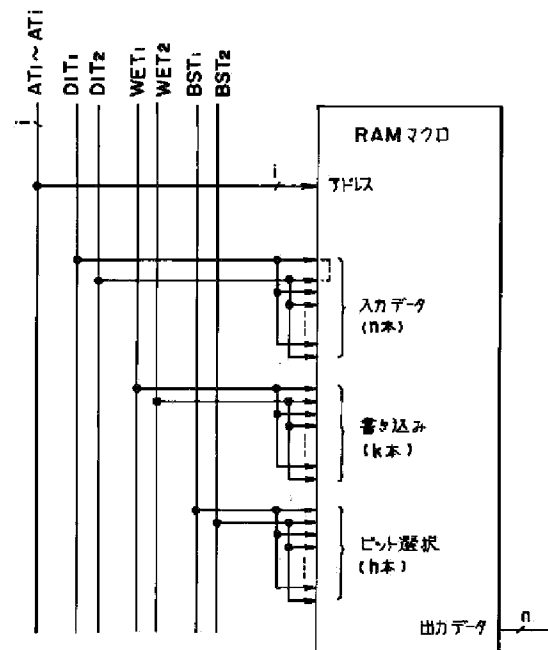
【図2】



【図3】



【図4】



【図5】

i, n, m, k, h は整数
 n は信号線数が
 n 本であることを示す。

